

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-076654
(43)Date of publication of application : 22.03.1996

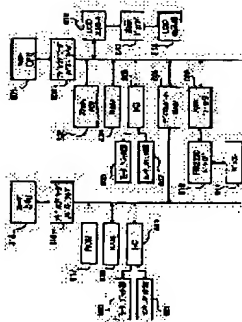
(51)Int.Cl.
G03G 21/00
G03G 21/00

(21)Application number : 06-230719 (71)Applicant : CANON INC
(22)Date of filing : 31.08.1994 (72)Inventor : TAWARA HISATSUGU
NISHIKATA AKINOBU
SUZUKI YOSHIHIKO
TASHIRO HIROHIKO
KOU SHIYOUKIYOU

(54) COPYING DEVICE

(57)Abstract:
PURPOSE: To safely down-load a control program while avoiding the waste of power in the case of realizing multiple functions.

CONSTITUTION: In the case a rewriting flag showing down-loading the control program concerning an additional function for allowing a master CPU 801 to instruct a slave CPU 815 to a flash memory 803 is in an on-state, the slave CPU 815 sets the output port of an I/O interface 819 on a slave side so that the load of a motor, a clutch and the like, a sensor, and a switch and the like controlled by the slave CPU 815 may be in an off-state, thereby making the loads in a nonconductive state.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

る前記停止手段は、前記第1の側面手段が前記第2の側面手段がリセット状態にすることにより前記負荷への電流供給を停止するように動作することにより、多機能化を行うに当たって安全に、かつ電力の無駄使いを回避しつつ側面プログラムをダウンロードできるようにする。

【0012】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。

【0013】【第1実施例】図1は、本発明の第1実施例による複写装置の電気的な接続構成を示すブロック図である。

【0014】図1において、801は複写装置全体の制御を行うマスターCPUであり、このマスターCPU801は、複写装置全体の制御手順（制御プログラム）を記憶した電気的に書換え可能なフラッシュメモリ803から制御プログラムを順次読取って実行する。なお、マスターCPU801のアドレスバス、データバスは、アドレスデコーダ/バスドライバ回路802を介して後述する各負荷に接続されている。

【0015】804は入力データの記憶領域、作業用記憶領域として利用される主記憶装置としてのRAMである。805はI/Oインターフェースであり、マスターCPU801により制御されるモータ・クラッチ類806、センサ・スイッチ類807等の負荷に接続されている。808はデュアルポートRAMであり、スレーブCPU815とパラレルデータにより通信するために利用される。809はシリアルコントローラであり、外部装置とシリアル通信を行うためのRS232Cドライバを介してパソコン811等の外部装置と接続されている。812はLCDコントローラであり、表示部814を表示するドライバ813を介してLCD表示部814に表示させる。

【0016】スレーブCPU815は、マスターCPU801の指示をデュアルポートRAM808を介して受け、後述するその他の負荷の制御を行う。この制御は、ROM817に記憶された制御プログラムを順次読出して実行する。なお、スレーブCPU815のアドレスバス、データバスは、アドレスデコーダ/バスドライバ回路816を介して上記その他の負荷に接続されている。【0017】818は入力データの記憶領域、作業用記憶領域として利用される主記憶装置としてのRAMである。819はI/Oインターフェースであり、スレーブCPU815により制御されるモータ・クラッチ類820、センサ・スイッチ類821等の負荷に接続されている。

【0018】図2は、本発明の実施例による複写装置の機能的な構成の概観を示す構成図である。図2において、100は複写装置本体、200は原稿の自動給送を行う循環式自動原稿送り装置（以下、RDFという）、300は排出口搬送機構を仕分けるソータ、400は自動コン

ピュータフォーマー送り装置（以下、CFFという）であり、これらRDF200、ソータ300、CFF400は、複写装置本体100に対して自在に増設して組合わせて使用できるようにしている。

【0019】101は原稿載置台としての原稿台ガラスである。102は原稿情報を読取るための光学系であり、原稿照明ランプ（露光ランプ）103と、走査ミラー、レンズ、モータ104等により構成されており、モータ104により原稿照明ランプ103等を移動しながら原稿を照明し、原稿からの反射光を走査ミラーとレンズにより感光体ドラム105に照射する。

【0020】感光体ドラム105の周囲には、高圧ユニット106、ブランク露光ユニット107、電位センサ108、現像器109、転写電器110、分離電器111、クリーニング装置112が配置されており、これら感光体ドラム105等により画像記録が行われる。感光体ドラム105は、メインモータ113により図2に示す矢印方向に回転されるもので、高圧ユニット106によりコロナ帯電されており、光学系102からの原稿の反射光が照射されると、静電像が形成される。この静電像は、現像器109により現象されてトナー像として可視化される。

【0021】一方、上段カセット114あるいは下段カセット115からピックアップローラ116、117を介し、給紙ローラ118、119により本体100に送られた転写紙の先端がトナー像の先端と一致するようにレジストローラ120によりタイミングがとられて、転写紙は感光体ドラム105に給送される。トナー像が転写電器110により転写紙に転写される。なお、感光体ドラム105上のトナーは、転写後、クリーニング装置112により清掃される。トナー像の転写が行われた転写紙は、分離電器111により感光体ドラム105から分離され、排送ベルト121により定置器122に導かれて加圧、加熱により定着され、排出口ローラ123により本体100の外に排出される。

【0022】また、本体100には、例えば4000枚の転写紙を収納し得るデッキ124が準備されている。デッキ124のリフタ125は、給紙ローラ126に転写紙が常に当接するように、転写紙の裏に依りて上昇する。また、図2において、127は排紙ラックバであり、面記録ないし多重記録側と排出口（ソータ300）の経路を切換える。

【0023】128は下搬送バスであり、排紙ラックバ127により経路が切換えられて排出口ローラ123から送り出されてきて、反転バス129により裏返しにされた転写紙を、再給紙トレイ130に導く。131は、面記録と多重記録の切換える多重ラックバであり、この多重ラックバ131が図2の左方向に回ることにより、転写紙は反転バス129を介さずに直接、下搬送バス128に導かれて多重記録が行われる。132は経路

133を通じて転写紙を感光体ドラム105側に給紙する給紙ローラである。

【0024】134は排紙ラックバ127の近傍に配置されて、排紙ラックバ127により排出に経路が切換えられて導かれた転写紙を外側に排出する排出口ローラである。面記録や多重記録時には、排紙ラックバ127を上方へ上げて、複写済みの転写紙を搬送バス129、128を介して裏返しに状態を再給紙トレイ130に格納する。このとき、多重ラックバ131は、面記録時には右方向に倒し、多重記録時には左方向に倒しておく。

【0025】再給紙トレイ130に格納された記録紙は、給紙ローラ132により、下から一枚ずつ経路133を介して本体100のレジストローラ120に導かれる。本体100から転写紙を反転して排出する時には、排紙ラックバ127を上方へ上げ、多重ラックバ131を右方向に倒し、複写済みの転写紙を搬送バス129側へ搬送し、転写紙の後端が順1の送りローラ140を通過した後反転ローラ142によって第2の送りローラ側へ搬送し、排出口ローラ134によって、転写紙を裏返しに外部に排出する。

【0026】次に、本実施例に特有な動作を図3、図4に基づいて説明する。図3はマスターCPU801の動作を示すフローチャートであり、マスターCPU801は、フラッシュメモリ803に記憶された制御プログラムに依って以下のような制御を行う。

【0027】すなわち、マスターCPU801は、通常は、図2により説明した上記のような複写動作を制御している（ステップS301）。そして、フラッシュメモリ803の記憶内容を書換えするために、パソコン811の操作部等からID番号が入力されたか否かを判別する（ステップS302）。その結果、ID番号が入力されないときは、ステップS301に戻って通常の複写動作を制御する。一方、ID番号が入力されたときは、その入力に係るID番号がRAM804に登録されているID番号と一致するか否かを判別し（ステップS303）、ID番号が一致しないときは、ステップS301に戻って通常の複写動作を制御する。

【0028】ID番号が一致したときは、フラッシュメモリ803が複写動作中である旨を示すステータス情報としての複写フラグをオンする（ステップS304）。なお、複写フラグは、デュアルポートRAM808の所定エリアに形成されている。次に、消去プログラムを実行する（ステップS305）。この消去処理は、フラッシュメモリ803に消去コマンドを書込むことにより行う。

【0029】複写対象領域の消去が終了すると、パソコン811等の外部装置に対してデータ転送要求を行う。例えば外部装置のフロッピーディスクに格納されていたデータ、すなわち、スレーブCPU815に対してマスターCPU801が指示するための制御プログラム

が転送されてきたときは、その転送データ（制御プログラム）を順次フラッシュメモリ803に書込む（ステップS306）。この書込みは、フラッシュメモリ803に書込コマンドを書込むことにより行う。次に、データ転送が完了してフラッシュメモリ803への書込みが終了したか否かを判別し（ステップS307）、書込みが終了していなければ、ステップS306に戻って転送データの書込みを続行する。書込みが終了したときは、複写フラグをオフして（ステップS308）、ステップS301に戻り、通常の複写動作を制御する。

【0030】図4は、スレーブCPU815の動作を示すフローチャートであり、スレーブCPU815は、ROM817に記憶された制御プログラムに従って、複写フラグがオン状態であるか否かを判別する（ステップS401）。その結果、複写フラグがオン状態でない場合は、マスターCPU801の指示に基づく通常の動作の制御を行って（ステップS402）、ステップS401に戻る。

【0031】一方、複写フラグがオン状態であれば、I/Oインターフェース819の出力ポートを、モータ、クラッチ類820、センサ、スイッチ類821等の負荷がオフ状態となるようにセットして（ステップS403）、ステップS401に戻る。このようにスレーブCPU815が動作することにより、フラッシュメモリ803の書換中、すなわちスレーブCPU815に対してマスターCPU801が指示するための追加機能に係る制御プログラムを、フラッシュメモリ803にダウンロードしている間は、スレーブCPU815により制御される負荷を非通電状態にすることが可能となる。

【0032】【第2実施例】図5は、図1におけるシステメリセット系の構成を示すブロック図であり、図1と同一の構成要素には同一の符号が付けられている。すなわち、801は複写装置全体の制御を行うマスターCPU、805はマスター側のI/Oインターフェース、815はデュアルポート808を介してマスターCPU801の指示を受け、スレーブ側のモータ、クラッチ類820、センサ、スイッチ類821等の負荷を制御するスレーブCPUである。

【0033】822はシステメリセット信号RSTを発生するリセット回路であり、+5V電源の投入時やシステムの異常によりウォッチドッグバスの途絶えた時などに、システメリセット信号RSTを発生する。823はANDゲートである。システメリセット信号RSTは、マスターCPU801のリセット入力端子、およびANDゲート823に入力される。このANDゲート823には、マスター側のI/Oインターフェース805の出力信号も入力される。

【0034】スレーブCPU815のリセット入力端子には、ANDゲート823の出力信号が入力される。このように構成により、スレーブCPU815は、通常の

リセット以外に、マスターCPU801からの出力信号で強制的にリセット状態に移行することができる。

【0035】従って、マスターCPU801は、フラッシュメモリ803の書き換え動作中に、ANDゲート823

の出力信号を“1”レベルにしてスレーブCPU815

をリセット状態にすることにより、スレーブCPU81

5により制御される負荷を非電圧状態にすることができ

る。

【0036】

【発明の効果】以上詳細に説明したように、本発明によ

れば、書き換え動作を制御する第1の制御プログラムを格納

する電気的に書き換え可能な記憶手段と、前記記憶手段に

記憶された第1の制御プログラムに従って書き換え動作を制

御する第1の制御手段と、外部装置から前記記憶手段に

データを転送するためのインターフェース手段と、前記

第1の制御手段とは別に、第2の制御プログラムに従っ

て制御動作を行う第2の制御手段とを有する書き換え装置に

おいて、前記インターフェース手段を介して外部装置か

ら前記記憶手段へデータ転送を行っている間、前記第2

の制御手段により制御される負荷への電源供給を停止す

る停止手段を設けたので、多機能化を行うに当たって安

全に、かつ電力の無駄使いを回避しつつ制御プログラム

をダウンロードできるようにする。

【図面の簡単な説明】

【図1】本発明の第1実施例による書き換え装置の電気的な

接続構成を示すブロック図である。

【図2】本発明の第1実施例による書き換え装置の機械的な構成

の概略を示す構成図である。

【図3】本発明の第1実施例におけるマスターCPUの

動作を示すフローチャートである。

【図4】本発明の第1実施例におけるスレーブCPUの

動作を示すフローチャートである。

【図5】本発明の第2実施例におけるシステムリセット

系の構成を示すブロック図である。

【符号の説明】

801...マスターCPU

803...フラッシュメモリ

808...デュアルポートRAM

809...シリアルコントローラ

810...RS232Cドライバ

811...パソコン

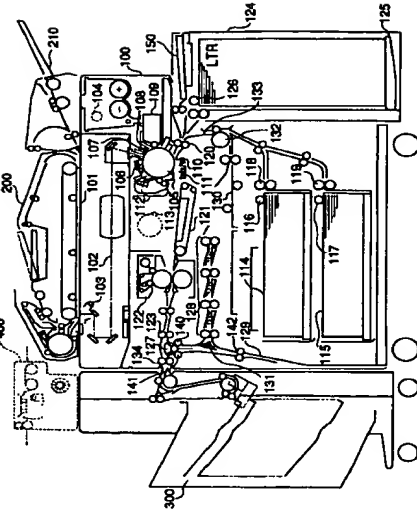
815...スレーブCPU

819...I/Oインターフェース

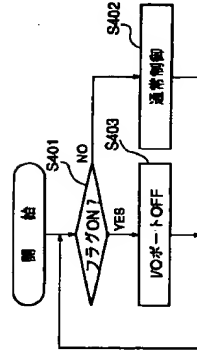
820...モータ、クラッチ類

821...センサ、スイッチ類

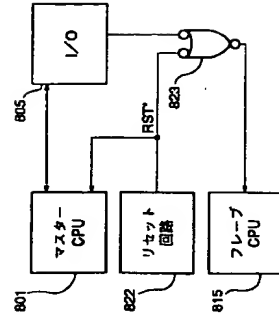
【図2】



【図4】



【図5】

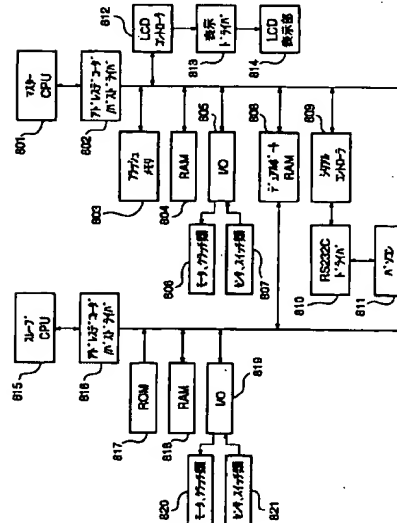


フロントページの続き

(71)発明者 田代 浩彦
東京都大田区下丸子3丁目11番2号 キヤ
ノン株式会社内

(71)発明者 貴 松強
東京都大田区下丸子3丁目10番2号 キヤ
ノン株式会社内

【図1】



【図3】

